PTO 03-759

Japanese Kokai Patent Application
No. Hei 3[1991]-85758

SEMICONDUCTOR RESISTOR

Tetsuo Higuchi

UNITED STATES PATENT AND TRADEMARK OFFICE
WASHINGTON, D.C. DECEMBER 2002
TRANSLATED BY THE RALPH MCELROY TRANSLATION COMPANY

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. HEI 3[1991]-85758

Int. Cl.[5]:	H 01 L 27/04
Sequence No. for Office Use:	9056-5F
Filing No.:	Hei 1[1989]-223424
Filing Date:	August 30, 1989
Publication Date:	April 10, 1991
No. of Claims:	1 (Total of 7 pages)
Examination Request:	Not filed

SEMICONDUCTOR RESISTOR

[Handotai teikoki]

Inventor:	Tetsuo Higuchi
Applicant:	Mitsubishi Electric Co., Ltd.

[There are no amendments to this patent.]

Claim

A semiconductor resistor characterized by having

a semiconductor substrate of a first electroconductivity type,

a semiconductor layer of a second electroconductivity type formed on the aforementioned semiconductor substrate,

a polycrystal semiconductor layer that is directly formed on the aforementioned semiconductor layer of the second electroconductivity type and contains impurities of the second electroconductivity type, and

a pair of electrodes that are electrically connected to the aforementioned semiconductor layer of the second electroconductivity type and/or the aforementioned polycrystal semiconductor layer.

Detailed explanation of the invention

Industrial application field

The present invention pertains to a type of semiconductor resistor. In particular, the present invention pertains to an improved semiconductor resistor having a low temperature coefficient and resistance with a linear temperature characteristic.

Prior art

In a semiconductor integrated circuit device, transistors, diodes, and resistors are formed in the same semiconductor substrate.

Figure 6 is cross-sectional view illustrating the conventional P+ diffused resistor. As shown in Figure 6, a p+ type diffused region (2) is formed on n-type substrate (1) (n-type epitaxial layer is usually used). Then, hot oxide film (2) and PSG film (4) (phosphorous-containing CVD oxide film) are formed sequentially on said n-type substrate (1) including p+ type diffused region (2). Contact holes are formed on hot oxide film (3) and PSG film (4) in such a way that openings can be formed above the two ends of p+ type diffused region (2). Aluminum electrodes (6) are connected to p+ type diffused region (2) via the contact holes.

The conventional semiconductor resistor with the aforementioned configuration is manufactured as follows.

First, hot oxide film (3) is formed on n-type substrate (1) (n-type epitaxial layer is usually used in bipolar IC) by means of hot oxidation. Then, boron ions are injected into the region, where the diffused resistance is to be formed, through said hot oxide film (3). P+ type diffused region (2) is formed by performing an annealing treatment. After that, PSG film (4), that is, a phosphorous-containing CVD film is formed on the entire surface. Then, hot oxide film (3) and PSG film (4) are etched using the photoengraving technique to form contact holes through which the two ends of p+ type diffused region (2) are exposed. After that, a thin aluminum film is formed on the entire surface of n-type substrate (1) including the contact holes. Aluminum electrodes (6) that are electrically connected to p+ type diffused region (2) are formed by patternizing the thin aluminum film.

Problem to be solve by the invention

As shown by curve (1) in Figure 3, the temperature dependency of the sheet resistance of the p+ diffused resistor manufactured as described above is a so-called nonlinear temperature characteristic with a positive temperature coefficient above 0°C and a minimum value below 0°C.

Consequently, a complicated compensation circuit is needed to compensate the temperature characteristic below 0°C. Also, due to the sheet resistance and the impurity concentration, there is variation in the temperature at which the sheet resistance becomes very low. The circuit constant becomes complicated.

The purpose of the present invention is to solve the aforementioned problem by providing an improved semiconductor resistor having low temperature coefficient and resistance with linear temperature characteristic.

Means to solve the problem

The semiconductor resistor of the present invention has a semiconductor substrate of a first electroconductivity type, a semiconductor layer of a second electroconductivity type formed on the aforementioned semiconductor substrate, a polycrystal semiconductor layer that is directly formed on the aforementioned semiconductor layer of the second electroconductivity type and contains impurities of the second electroconductivity type, and a pair of electrodes that are electrically connected to the aforementioned semiconductor layer of the second electroconductivity type and/or the aforementioned polycrystal semiconductor layer.

Operation

Figure 7 is a cross-sectional view illustrating a conventional base bulk resistor (emitter pitch resistor). As shown in Figure 7, a p+ type diffused region (2) is formed on a n-type substrate (1) (n-type epitaxial layer). An n+ type diffused region (8) is formed in said p+ type diffused region (2). The resistance of the resistance region is controlled by the concentration and the diffusion depth of n+ type diffused region (8). A hot oxide film (3) is formed on the entire surface of n-type substrate (1) except on n+ type diffused region (8). A PSG film (4) is formed on the entire surface of n-type substrate (1) including hot oxide film (3). Contact holes are formed on hot oxide film (3) and PSG film (4) in such a way that openings can be formed above the two ends of p+ type diffused region (2). Aluminum electrodes (6) are connected to p+ type diffused region (2) via the contact holes.

As shown by curve (3) in Figure 3B, the aforementioned base bulk resistance structure has an approximately linear temperature characteristic with no minimum resistance and a positive temperature coefficient. As shown in Figure 7, since there is no $Si\text{-}SiO_2$ boundary on p+ type diffused region (2), the resistor is not subjected to the influence of the mobility of $Si\text{-}SiO_2$ boundary (surface mobility).

Figure 8 is a cross-sectional view illustrating a conventional polysilicon resistor.

As shown in Figure 8, hot oxide film (3) is formed on an n-type substrate (1) (n-type epitaxial layer). A polysilicon film (5) with a thickness of about 4000 Å is formed on hot oxide

film (3). Said polysilicon film (5) is formed by means of CVD. The resistance of polysilicon film (5) is controlled by the quantity of boron or phosphorous ions injected into polysilicon film (5). For example, when boron ions are injected at a density of $1.0x10^{15}$ cm^{-2}, a resistance of about 400 Ω/ can be obtained. A PSG film (4) is formed on the entire surface of n-type substrate (1) including polysilicon film (5). Contact holes are formed on PSG film (4) in such a way that openings can be formed above the two ends of polysilicon film (5). Aluminum electrodes (6) are connected to polysilicon film (5) via the contact holes.

As shown by curve (4) in Figure 3B, the aforementioned polysilicon resistor has a linear temperature characteristic with a negative temperature coefficient.

The semiconductor resistor disclosed in the present invention has a configuration equivalent to parallel connection of the polysilicon resistor with the negative temperature coefficient shown by curve (4) in Figure 3B and the base bulk resistor with the positive temperature coefficient shown by curve (3) in Figure 3B. Therefore, the resistor of the present invention is an ideal resistor with small temperature coefficient and no minimum resistance as shown by curve (2) in Figure 3A.

Application example

In the following, the application example of the present invention will be explained with reference to figures.

Figure 1 is a cross-sectional view illustrating the semiconductor resistor disclosed in an application example of the present invention. As shown in Figure 1, a p+ type diffused region (2) is formed as a semiconductor layer on the main surface of an n-type substrate (1) (n-type epitaxial layer is usually used in bipolar IC). A hot oxide film (3) is formed on the entire surface of n-type substrate (1) except in the portion of p+ type diffused region (2). A polysilicon film (5) containing boron as impurity is formed directly on p+ type diffused region (2). A PSG film (4) is formed on the entire surface of n-type substrate (1) including polysilicon film (5) and hot oxide film (3). Contact holes are formed on PSG film (4) in such a way that openings can be formed above the two ends of polysilicon film (5). A pair of aluminum electrodes (6) are connected to polysilicon film (5) via the contact holes. When aluminum electrodes (6) are connected to polysilicon film (5), aluminum electrodes (6) are electrically connected to p+ type diffused region (2) indirectly via polysilicon film (5). Also, polysilicon film (5) and p+ type diffused region (2) are connected in parallel to electrodes (6).

In the aforementioned semiconductor resistor, since there is no $Si-SiO_2$ boundary on the surface of p+ type diffused region (2), the resistor comprised of electrodes (6) and p+ type diffused region (2) has almost the same configuration as the base bulk resistor shown in Figure 7. It displays an approximately linear temperature characteristic with a positive temperature

coefficient and no minimum value of resistance as shown by curve (3) in Figure 3B. On the other hand, the resistor comprised of electrodes (6) and polysilicon film (5) has almost the same configuration as the polysilicon resistor shown in Figure 8. It displays a linear temperature characteristic with a negative temperature coefficient as shown by curve (4) in Figure 3B. Consequently, the semiconductor resistor shown in Figure 1 has a configuration equivalent to parallel connection of the polysilicon resistor with the negative temperature coefficient shown by curve (4) in Figure 3B and the base bulk resistor (p+ diffused resistor) with the positive temperature coefficient shown by curve (3) in Figure 3B. Therefore, the resistor of the present invention is an ideal resistor with small temperature coefficient and no minimum resistance as shown by curve (2) in Figure 3A.

In the following, the manufacturing method of the semiconductor resistor shown in Figure 1 will be explained.

Figures 2A-2E are cross-sectional views illustrating the manufacturing process of the semiconductor resistor shown in Figure 1.

First, as shown in Figure 2A, a hot oxide film (3) is formed on n-type substrate (1) by means of hot oxidation. Then, boron ions are injected into the region, where the diffused resistance is to be formed, through said hot oxide film (3). P+ type diffused region (2) is formed by performing an annealing treatment.

Then, as shown in Figure 2B, hot oxide film (3) is patternized in such a way that openings can be formed above p+ type diffused region (2). After that, a polysilicon film (5) is deposited to a thickness of 2000-5000 Å on the entire surface. At that time, an oxide film with a thickness of about 10 Å or thinner can be formed on the boundary between the silicon surface on p+ type diffused region (2) and polysilicon film (5). The thickness of this film, however, is so small that it can be ignored. Then, resist (7) is coated on the entire surface. The resist (7) is patternized in such a way that the part above p+ type diffused region (2) is exposed. After that, with the patternized resist (7) used as a mask, boron (B) is injected into polysilicon film (5) in the area where the resistor is to be formed. In this case, the polysilicon resistance value and its temperature characteristic vary depending on the amount of injected boron and the thickness of the polysilicon film. Therefore, the amount of injected boron and the thickness of the polysilicon film must be selected appropriately in consideration of the resistance value of p+ type diffused region (2) and the resistance value of the targeted semiconductor resistor.

Then, as shown in Figure 2C, polysilicon film (5) is patternized using the photoengraving technique in such a way that polysilicon film (5) is left above p+ type diffused region (2).

Then, as shown in Figure 2D, PSG film (4) (phosphorous-containing CVD oxide film) is deposited on the entire surface of the n-type substrate. After that, a heat treatment is performed.

After the heat treatment, PSG film (4) is patternized to form contact holes such that openings can be formed above the two ends of polysilicon film (5).

Then, as shown in Figure 2E, a thin aluminum film is formed on the entire surface of n-type semiconductor substrate (1). The aluminum film is then patternized to form a pair of aluminum electrodes (6) that are electrically connected to polysilicon film (5). As a result, the semiconductor resistor shown in Figure 1 is completed.

Figure 4 is a cross-sectional view illustrating the semiconductor resistor disclosed in another application example of the present invention. The application example shown in Figure 4 is identical to the application example shown in Figure 1 except for the following points. The equivalent parts are represented by the same symbols, respectively, and explanation of these parts is omitted.

In the application example shown in Figure 1, a pair of electrodes (6) are formed on polysilicon film (5). In the application example shown in Figure 4, however, a pair of electrodes (6) are formed across both p+ type diffused region (2) and polysilicon film (5). The configuration can also realize the same effect as that of the aforementioned application example.

Figure 5 is a cross-sectional view illustrating the semiconductor resistor disclosed in yet another application example. The application example shown in Figure 4 is identical to the application example shown in Figure 1 except for the following points. The equivalent parts are represented by the same symbols, respectively, and explanation of these parts is omitted.

In the application example shown in Figure 1, a pair of electrodes (6) are formed on polysilicon film (5). In the application example shown in Figure 5, however, polysilicon film (5) is formed in such a way that the area of polysilicon film (5) is smaller than that of p+ type diffused region (2), and a pair of electrodes (6) are connected to p+ type diffused region (2). The configuration can also realize the same effect as that of the aforementioned application example.

The aforementioned application examples describe p+ diffused resistor and boron-containing polysilicon resistor. However, the same effect can be realized when an n+ diffused resistor is connected in parallel with a polysilicon resistor containing phosphorous or arsenic.

Also, in the aforementioned application examples, the polysilicon resistor is formed by injecting boron ions after the polysilicon film is formed. The present invention, however, is not limited to this. The polysilicon resistor can also be formed by directly depositing boron-containing polysilicon.

Effect of the invention

As explained above, according to the present invention, a resistor with an extremely small temperature coefficient and a linear temperature characteristic can be obtained by

connecting a semiconductor layer, which has an approximately linear temperature characteristic with no minimum resistance value at low temperature and a positive temperature coefficient, in parallel with a polycrystal semiconductor layer having a negative temperature coefficient.

Brief description of the figures

Figure 1 is a cross-sectional view illustrating the disclosed semiconductor resistor in an application example of the present invention.

Figures 2A-2E are cross-sectional views illustrating the method for manufacturing the semiconductor resistor shown in Figure 1.

Figures 3A and 3B are diagrams illustrating the temperature characteristics of the resistance value of the conventional semiconductor resistor and the semiconductor resistor of the present invention.

Figure 4 is a cross-sectional view illustrating the disclosed semiconductor resistor in another application example of the present invention.

Figure 5 is a cross-sectional view illustrating the disclosed semiconductor resistor in yet another application example of the present invention.

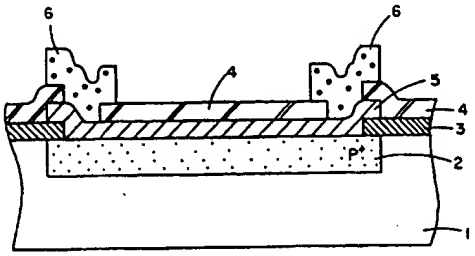
Figure 6 is a cross-sectional view illustrating a conventional p+ diffused resistor.

Figure 7 is a cross-sectional view illustrating a conventional base bulk resistor (emitter pinch resistor).

Figure 8 is a cross-sectional view illustrating a conventional polysilicon resistor.

In the figures, (1) represents an n-type substrate; (2) represents a p+ type diffused region; (5) represents a polysilicon film; and (6) represents an electrode.

Also, in each figure, the same symbols represent the same or equivalent parts, respectively.



1：n型基板
2：P+型拡散領域
5：ポリシリコン膜
6：電極

Figure 1

1 n-type substrate
2 p+ type diffused region
5 Polysilicon substrate
6 Electrode

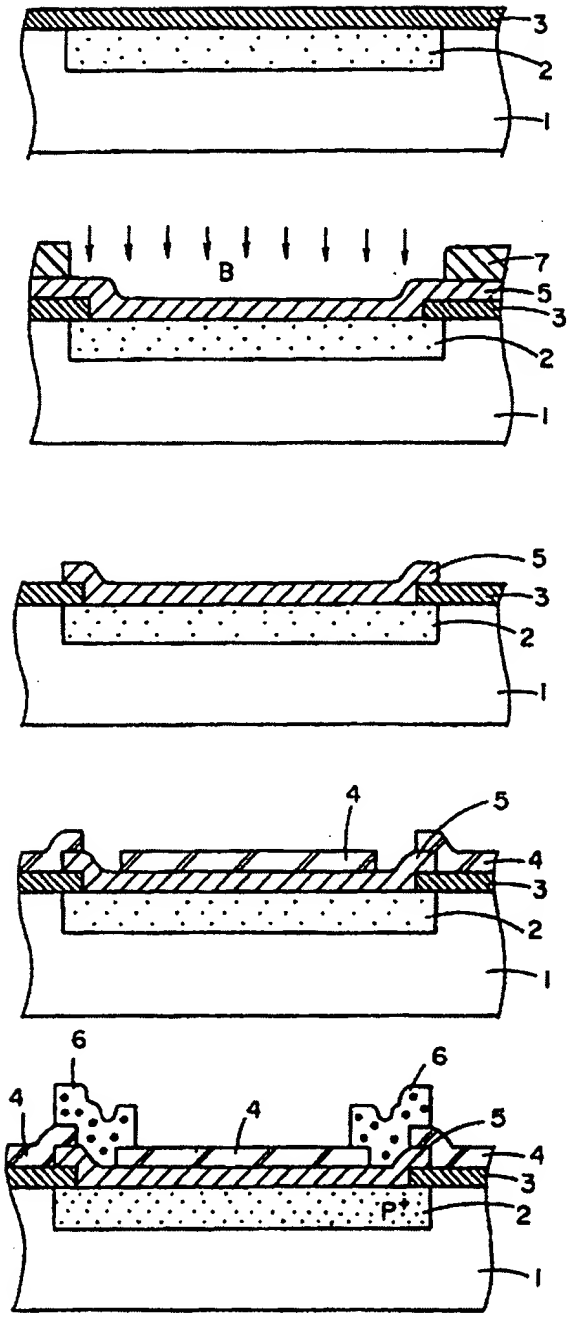


Figure 2A-E

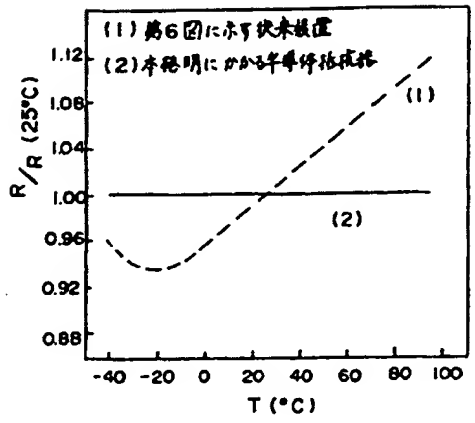


Figure 3A

Key: 1 The conventional device shown in Figure 6
2 Semiconductor resistor of the present invention

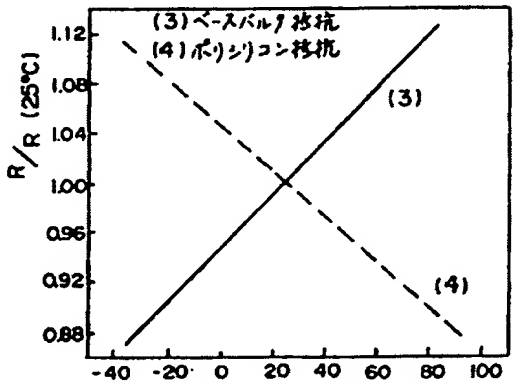


Figure 3B

Key: 3 Base bulk resistor
4 Polysilicon resistor

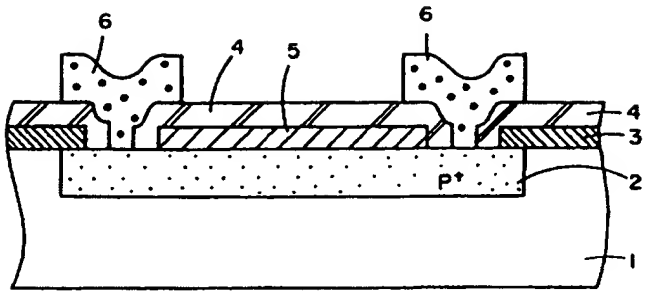


Figure 4

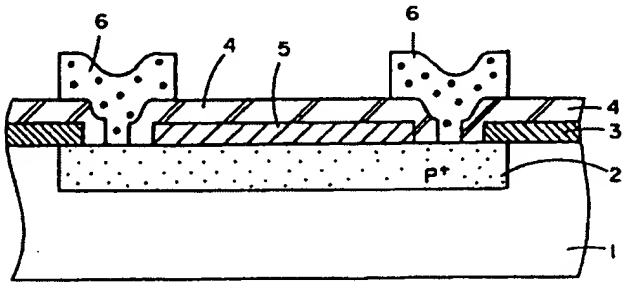


Figure 5

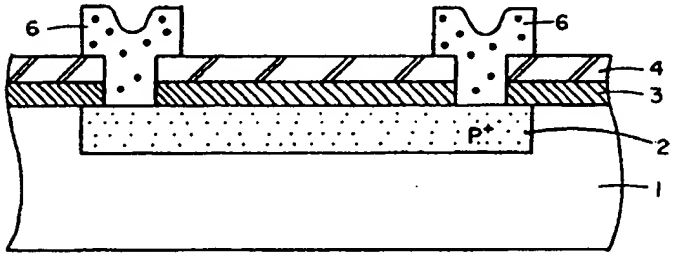


Figure 6

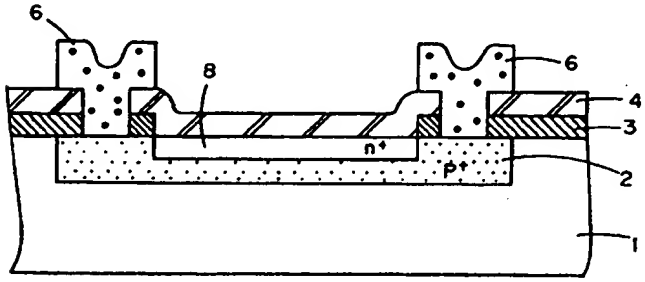


Figure 7

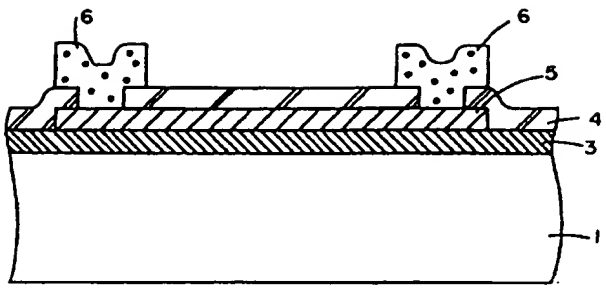


Figure 8c

CLIPPEDIMAGE= JP403085758A

PAT-NO: JP403085758A

DOCUMENT-IDENTIFIER: JP 03085758 A

TITLE: SEMICONDUCTOR RESISTOR

PUBN-DATE: April 10, 1991

INVENTOR-INFORMATION:
NAME
HIGUCHI, TETSUO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP01223424

APPL-DATE: August 30, 1989

INT-CL (IPC): H01L027/04

US-CL-CURRENT: 257/771

ABSTRACT:

PURPOSE: To obtain a resistor having an extremely low temperature coefficient
and linear temperature properties by forming a semiconductor layer, which has
nearly linear temperature characteristics not having the minimum value of
resistance at low temperature and having positive temperature coefficient, and
a polycrystalline semiconductor layer, which has negative temperature
coefficient, in parallel.

CONSTITUTION: An aluminum electrode 6 is indirectly connected electrically
through a polysilicon film 5 to a p<SP>+</SP>-type diffusion area 2. Moreover,
the polysilicon film 5 and the p<SP>+</SP>-type diffusion

area 2 are connected
in parallel to the electrode 6. Since Si-SiO<SB>2</SB> interface does not
exist at the surface of the p<SP>+</SP>-type diffusion area 2, the resistor
consisting of the electrode 6 and the p<SP>+</SP>-type diffusion area 2 shows
nearly linear temperature characteristics which do not have the minimum value
of resistance and has positive temperature coefficient. On the other hand, the
resistor consisting of the electrode 6 and the polysilicon film 5 shows linear
temperature characteristics which have negative temperature coefficient.

⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平3−85758

⑤Int. Cl.⁵　識別記号　庁内整理番号　⑬公開　平成3年(1991)4月10日
H 01 L 27/04　P　9056−5F

審査請求　未請求　請求項の数 1　(全7頁)

⑭発明の名称　半導体抵抗器

⑳特　願　平1−223424
㉒出　願　平1(1989)8月30日

⑫発明者　樋口　哲夫　兵庫県伊丹市瑞原4丁目1番地　三菱電機株式会社北伊丹製作所内
⑪出願人　三菱電機株式会社　東京都千代田区丸の内2丁目2番3号
⑭代理人　弁理士　大岩　増雄　外2名

明　細　書

1．発明の名称

半導体抵抗器

2．特許請求の範囲

第1導電型式の半導体基板と、

前記半導体基板上に形成された第2導電型式の半導体層と、

前記第2導電型式の半導体層上に直接的に設けられ、第2導電型式の不純物を含む多結晶半導体層と、

前記第2導電型式の半導体層および／または前記多結晶半導体層に電気的接続された1対の電極と、

を備えた半導体抵抗器。

3．発明の詳細な説明

[産業上の利用分野]

この発明は一般に半導体抵抗器に関するものであり、特に、温度係数が小さく、線形の温度特性を有する抵抗が得られるように改良された半導体抵抗器に関するものである。

[従来の技術]

半導体集積回路装置においては、トランジスタ、ダイオード、抵抗等が共通の半導体基板内に作られている。

第6図は、従来のP^+拡散抵抗を示す断面図である。第6図を参照して、n型基板1（通常、n型エピタキシャル層が使われる）上に、p^+型拡散領域2が形成されている。p^+型拡散領域2を含むn型基板1の上に、熱酸化膜3およびPSG膜4（リンを含んだCVD酸化膜）が順次形成されている。p^+型拡散領域2の両端部上に開口部ができるように、熱酸化膜3およびPSG膜4にコンタクト孔が設けられている。このコンタクト孔を介して、アルミ電極6が、p^+型拡散領域2に接続されている。

以上のように構成された従来の半導体抵抗器は、次のようにして作られる。

まず、n型基板1（通常のバイポーラICにおいては、n型エピタキシャル層が使用される。）上に、熱酸化によって熱酸化膜3を形成する。次

に、この熱酸化膜３を通して、拡散抵抗形成領域にボロンをイオン注入し、アニール処理を施すことにより、p^+型拡散領域２を形成する。その後、リンを含んだＣＶＤ酸化膜であるＰＳＧ膜４を全面に形成する。次に、熱酸化膜３およびＰＳＧ膜４を写真製版技術を用いてエッチングすることにより、p^+型拡散領域２の両端を露出させるコンタクト孔を形成する。その後、コンタクト孔を含むｎ型基板１の表面全面にアルミニウム薄膜を形成し、このアルミニウム薄膜をパターニングすることによって、p^+型拡散領域２に電気的接続するアルミ電極６を形成する。

［発明が解決しようとする課題］

以上のように構成されたp^+拡散抵抗のシート抵抗の温度依存性は、第３Ａ図中の曲線（１）に示すように、０℃以上では正の温度係数を持ち、０℃以下の点で極小値を持つ、いわゆる非線形の温度特性を持つことが知られている。

そのため、従来は、０℃以下の温度特性を補償するため、その補償回路が複雑になるという問題

点があった。また、シート抵抗や不純物濃度によって、シート抵抗が極小となる温度が変化し、回路定数が複雑になるという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、温度係数が小さく、線形の温度特性を有する抵抗が得られるように改良された半導体抵抗器を提供することを目的とする。

［課題を解決するための手段］

この発明にかかる半導体抵抗器は、第１導電型式の半導体基板と、上記半導体基板上に形成された第２導電型式の半導体層と、上記第２導電型式の半導体層上に直接的に設けられ、第２導電型式の不純物を含む多結晶半導体層と、上記第２導電形式の半導体層および／または上記多結晶半導体層に電気的接続された一対の電極と、を備える。

［作用］

第７図は、従来のベースバルク抵抗（エミッタピッチ抵抗）を示す断面図である。第７図を参照して、ｎ型基板１（ｎ型エピタキシャル層）上に

p^+型拡散領域２が形成されている。p^+型拡散領域２内にn^+型拡散領域８が形成されている。抵抗領域の抵抗値は、n^+型拡散領域８の濃度と拡散深さで制御される。n^+型拡散領域８上を除く、ｎ型基板１上全面に熱酸化膜３が形成されている。熱酸化膜３を含むｎ型基板１上全面にＰＳＧ膜４が形成されている。p^+型拡散領域２の両端部上に開口部ができるように、熱酸化膜３およびＰＳＧ膜４にコンタクト孔が設けられている。このコンタクト孔を介して、アルミ電極６がp^+型拡散領域２に接続されている。

上述のように構成されるベースバルク抵抗構造は、第３Ｂ図中の曲線（３）に示すように、抵抗の極小値を持たない、正の温度係数を有する、線形に近い温度特性を示す。これは、第７図を参照して、p^+型拡散領域２上にＳｉ－SiO_2界面が存在しないように構成されているので、Ｓｉ－SiO_2界面の移動度（表面移動度）の影響を受けないためと考えられる。

第８図は、従来のポリシリコン抵抗を示す断面

図である。

第８図を参照して、ｎ型基板１（ｎ型エピタキシャル層）上に、熱酸化膜３が形成されている。熱酸化膜３上に約４０００Ａの膜厚のポリシリコン膜５が形成されている。ポリシリコン膜５はＣＶＤ法で形成される。ポリシリコン膜５の抵抗値は、ポリシリコン膜５中に注入されるボロンまたはリンのイオン注入量によって制御される。たとえば、ボロンを$1.0\times10^{15}cm^{-2}$イオン注入すると、約４００Ω／□の抵抗値が得られる。ポリシリコン膜５を含むｎ型基板１の全面にＰＳＧ膜４が形成されている。ポリシリコン膜５の両端部上に開口部ができるように、ＰＳＧ膜４にコンタクト孔が設けられている。このコンタクト孔を介して、アルミ電極６がポリシリコン膜５に電気的接続されている。

上述のように構成されるポリシリコン抵抗は、第３Ｂ図中の曲線（４）に示すように、負の温度係数を有する線形の温度特性を示す。

さて、この発明にかかる半導体抵抗器は、ちょ

うど第３Ｂ図中の曲線（４）に示した負の温度係数を有するポリシリコン抵抗と第３Ｂ図中の曲線（３）に示した正の温度係数を有するベースバルク抵抗とを並列に接続させたような構造を有しているので、これらを加え合わせたような、すなわち第３Ａ図中の曲線（２）で示すような、温度係数が小さく、しかも抵抗値の極小値を示すことがない理想的な抵抗が得られる。

［実施例］

以下、この発明の実施例を図について説明する。

第１図は、この発明の一実施例にかかる半導体抵抗器の断面図である。第１図を参照して、ｎ型基板１（通常のバイポーラＩＣにおいては、ｎ型エピタキシャル層が使用される。）の主表面に、半導体層であるｐ⁺型拡散領域２が形成されている。ｐ⁺型拡散領域２の部分を除く、ｎ型基板１の表面全面に熱酸化膜３が形成されている。ｐ⁺型拡散領域２の上に、ボロンを不純物として含んだポリシリコン膜５が直接的に設けられている。ポリシリコン膜５および熱酸化膜３を含むｎ型基

板１の表面全面にＰＳＧ膜４が形成されている。ポリシリコン膜５の両端部上に開口部ができるように、ＰＳＧ膜４にコンタクト孔が設けられている。このコンタクト孔を介して、１対のアルミ電極６がポリシリコン膜５に接続されている。アルミ電極６がポリシリコン膜５に接続されることにより、アルミニウム電極６はｐ⁺型拡散領域２にポリシリコン膜５を介して、間接的に電気的接続されている。また、ポリシリコン膜５とｐ⁺型拡散領域２は、電極６に並列に接続されている。

上述のように構成される半導体抵抗器においては、ｐ⁺型拡散領域２の表面にＳｉ－ＳｉＯ₂界面が存在しないので、電極６とｐ⁺型拡散領域２とからなる抵抗は、ちょうど第７図に示すベースバルク抵抗の構造と同じになり、第３Ｂ図中の曲線（３）で示すように抵抗の極小値を持たない、正の温度係数を有する線形に近い温度特性を示す。一方、電極６とポリシリコン膜５とからなる抵抗は、ちょうど第８図に示すポリシリコン抵抗の構造と同じようになり、第３Ｂ図中の曲線（４）に

示すように、負の温度係数を有する線形の温度特性を示す。それゆえに、第１図に示す半導体抵抗器は、第３Ｂ図中の曲線（４）に示した負の温度係数を有するポリシリコン抵抗と第３Ｂ図中の曲線（３）に示した正の温度係数を有するベースバルク抵抗（ｐ⁺拡散抵抗）とを並列に接続させたような構造となるので、これらを加え合わせたような、すなわち第３Ａ図中の曲線（２）で示すような、温度係数が小さく、しかも抵抗値の極小値を示すことがない理想的な抵抗となる。

次に、第１図に示す半導体抵抗器の製造方法を説明する。

第２Ａ図～第２Ｅ図は、第１図に示す半導体抵抗器の製造工程を断面図で示したものである。

まず、第２Ａ図を参照して、ｎ型基板１上に、熱酸化によって熱酸化膜３を形成する。次に、この熱酸化膜３を通して、拡散抵抗形成領域にボロンをイオン注入し、アニール処理を行なって、ｐ⁺型拡散領域２を形成する。

次に、第２Ｂ図を参照して、ｐ⁺型拡散領域２

上に開口部ができるように熱酸化膜３をパターニングする。その後、ポリシリコン膜５を全面に約２０００～５０００Ａ堆積する。このとき、ｐ⁺型拡散領域２上のシリコン表面とポリシリコン膜５の界面には、約１０Ａ以下の膜厚の酸化膜ができるが、これは無視できる程度のものである。次に、全面にレジスト７を塗布し、このレジスト７を、ｐ⁺型拡散領域２の上部分が露出するように、パターニングする。その後、このパターニングされたレジスト７をマスクにして、抵抗形成領域のポリシリコン膜５中にボロン（Ｂ）を注入する。このとき、ポリシリコン抵抗値とその温度特性は、ボロン注入量とポリシリコン膜厚により変化する。それゆえに、ボロン注入量およびポリシリコン膜厚は、ｐ⁺拡散領域２の抵抗値と目標とする半導体抵抗器の抵抗値とを考慮し、選ばれなければならない。

次に、第２Ｃ図を参照して、写真製版技術により、ポリシリコン膜５がｐ⁺型拡散領域２上に残るように、ポリシリコン膜５をパターニングする。

次に、第２Ｄ図を参照して、ｎ型基板全面にＰＳＧ膜４（リンを含んだＣＶＤ酸化膜）を堆積する。その後、熱処理を行ない、この熱処理の後、ポリシリコン膜５の両端上に開口部ができるようにＰＳＧ膜４をパターニングし、コンタクト孔を形成する。

次に、第２Ｅ図を参照して、ｎ型半導体基板１全面にアルミニウム薄膜を形成し、このアルミニウム薄膜をパターニングすることによって、ポリシリコン膜５と電気接続する１対のアルミ電極６を形成する。すると、第１図に示す半導体抵抗器が完成する。

第４図は、この発明の他の実施例にかかる半導体抵抗器の断面図である。第４図に示す実施例は、以下の点を除いて、第１図に示す実施例と同様であり、相当する部分には同一の参照番号を付し、その説明を省略する。

第１図に示す実施例では、１対の電極６をポリシリコン膜５上に形成したが、第４図に示す実施例では、１対の電極６が、p^+ 型拡散領域２とポ

リシリコン膜５の両者にまたがって形成されている。このような構成であっても、上述の実施例と同様の効果を奏する。

第５図は、この発明のさらに他の実施例にかかる半導体抵抗器の断面図である。第５図に示す実施例は、以下の点を除いて第１図に示す実施例と同様であり、相当する部分には同一の参照番号を付し、その説明を省略する。

第１図に示す実施例では、１対の電極６をポリシリコン膜５上に形成したが、第５図に示す実施例では、ポリシリコン膜５の面積が p^+ 型拡散領域２の面積よりも小さくなるようにポリシリコン膜５を形成し、１対の電極６を p^+ 型拡散領域２に接続させている。このような構成であっても、上述の実施例と同様の効果を奏する。

なお、上記実施例では p^+ 拡散抵抗とボロンを含むポリシリコン抵抗について述べたが、n^+ 拡散抵抗と、リンまたは砒素を含むポリシリコン抵抗との並列抵抗であっても同様の効果を実現する。

また、上記実施例では、ポリシリコン抵抗を、

ポリシリコン膜を形成した後、ボロンをイオン注入することによって形成したが、この発明はこれに限定されるものでなく、予めボロンを含んだポリシリコンを直接堆積することによって形成してもよい。

［発明の効果］

以上説明したとおり、この発明によれば、低温で抵抗の極小値を持たない、正の温度係数を有する線形に近い温度特性を有する半導体層と、負の温度係数を有する多結晶半導体層を並列に形成したので、温度係数の極めて小さい、線形の温度特性を有する抵抗が得られるという効果を奏する。

４．図面の簡単な説明

第１図は、この発明の一実施例にかかる半導体抵抗器の断面図である。

第２Ａ図～第２Ｅ図は、第１図に示す半導体抵抗器の製造方法を断面図で示したものである。

第３Ａ図および第３Ｂ図は、従来の半導体抵抗器と本発明の半導体抵抗器の、抵抗値の温度特性を示すグラフである。

第４図は、この発明の他の実施例にかかる半導体抵抗器の断面図である。

第５図は、この発明のさらに他の実施例にかかる半導体抵抗器の断面図である。

第６図は、従来の p^+ 拡散抵抗の断面図である。

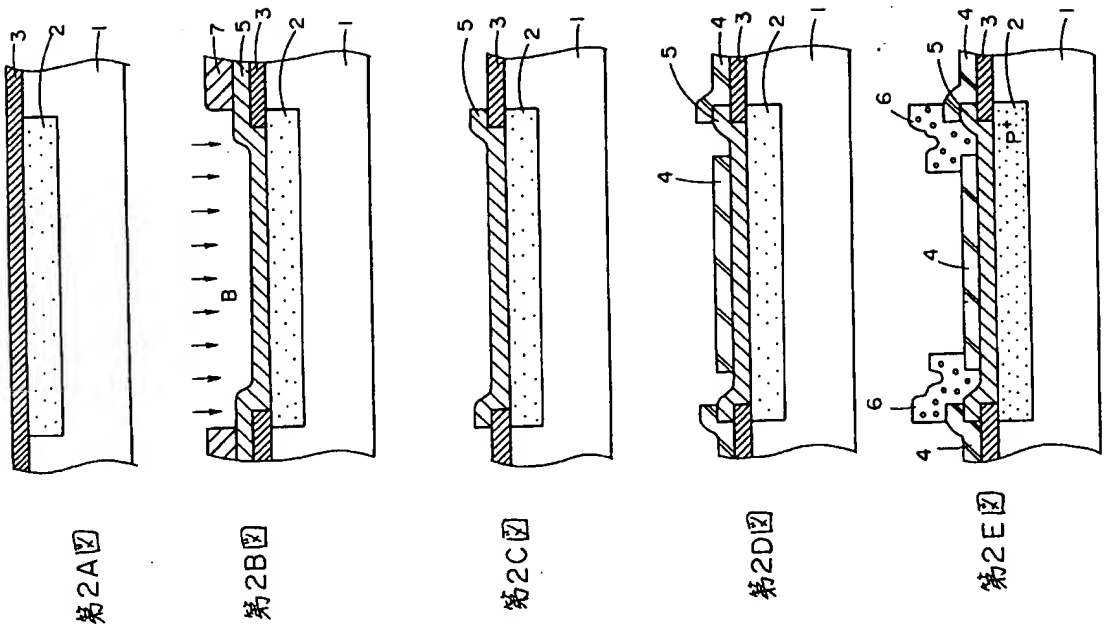
第７図は、従来のベースバルク抵抗（エミッタピンチ抵抗）を示す断面図である。

第８図は、従来のポリシリコン抵抗を示す断面図である。

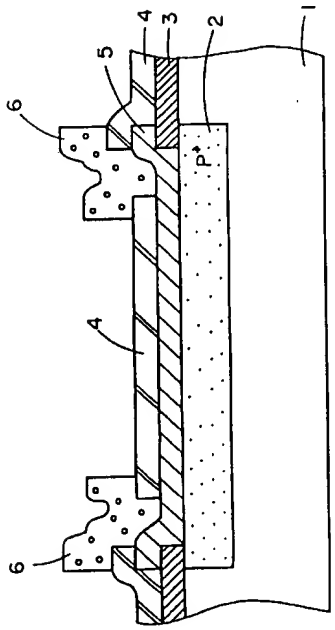
図において、１はｎ型基板、２は p^+ 型拡散領域、５はポリシリコン膜、６は電極である。

なお、各図中、同一符号は同一または相当部分を示す。

代 理 人　大 岩 増 雄



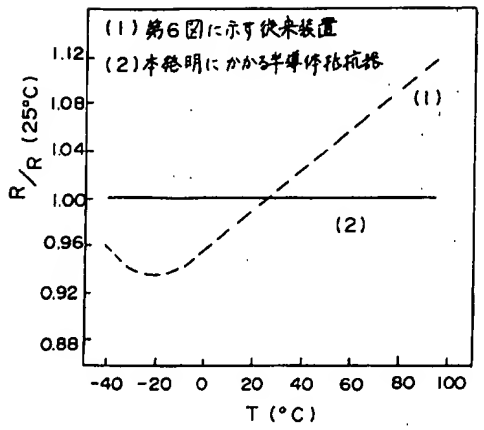
第2A図　第2B図　第2C図　第2D図　第2E図



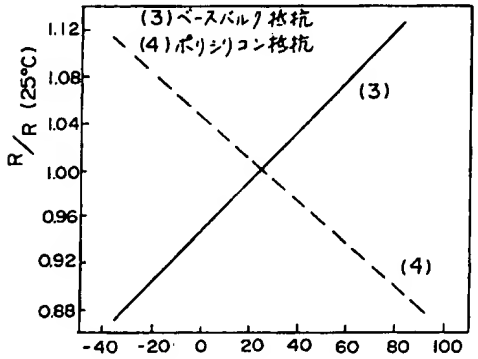
第1図

1：n型基板
2：p+型拡散領域
5：ポリシリコン膜
6：電極

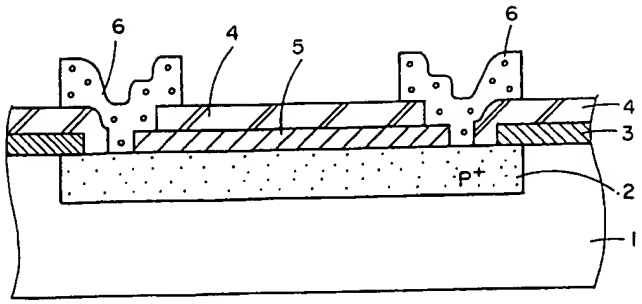
第3A図



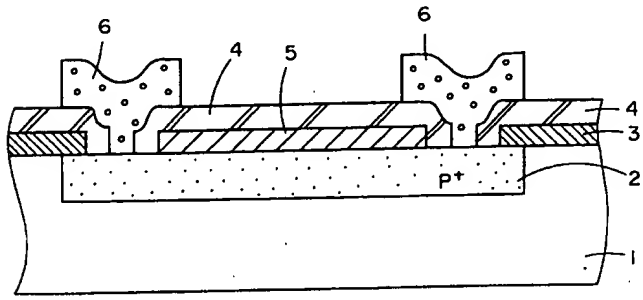
第3B図



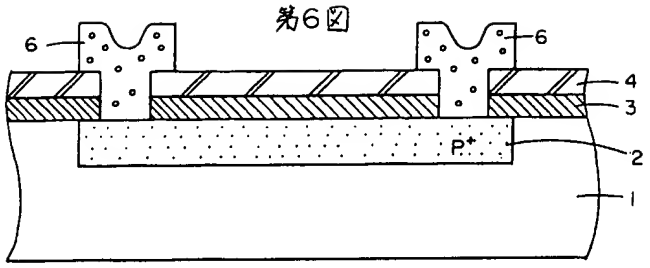
第4図



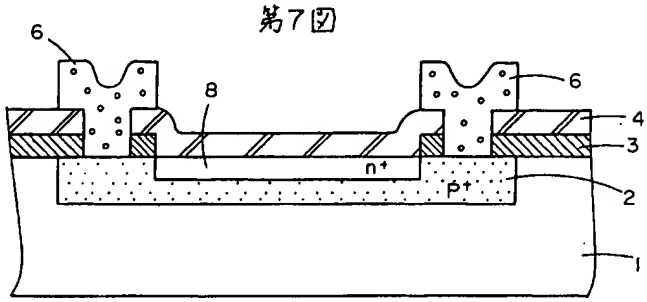
第5図



第6図



第7図



第8図